

电子钟电路设计在 Multisim 仿真中的问题及对策

张廷锋, 蓝慕云

(华南理工大学 电工电子实验中心, 广州 510006)

摘要:介绍了 Multisim 仿真软件的主要功能及在电子钟设计实验中的应用, 分析了 Multisim 仿真软件在电子钟电路仿真中出现的问题, 给出了相应的解决方法。指出在电路仿真中既要重视电路设计本身的问题, 同时, 一些涉及仿真软件参数设置等软件应用方面的问题也应引起注意。

关键词: Multisim; 电子钟; 计时误差; 竞争冒险

中图分类号: TP319; TN79-4

文献标识码: A

文章编号: 1671-8798(2010)04-0278-04

Problems and solutions to electronic clock circuit design in Multisim

ZHANG Ting-feng, LAN Mu-yun

(Electric and Electronic Experimental Center, South China University of Technology, Guangzhou 510006, China)

Abstract: We introduce the main functions of Multisim software and its application for design of experiment in electronic clock, analyze the problems during the electronic clock circuit simulating and put forward the corresponding solutions. We should pay attention to the problems in the circuit design during the circuit simulating as well as simulation software parameter settings in the application of Multisim software.

Key words: Multisim; electronic clock; timing error; competitive risk

目前, Multisim 电路仿真软件被广泛应用于电工电子实验室中, 它对于缓解高校实验室资源紧张, 实验经费不足等普遍存在的问题起到了积极的作用。特别是在数字电路实验中引入该仿真设计软件, 结合传统的实验教学, 可以增开大量设计性和综合性实验, 有利于激发学生学习兴趣, 培养学生的动手能力, 提高创新意识^[1]。同时, 还应该注意到由于电路仿真是计算机技术和电子技术结合的产物, 仿真过程出现的一些问题也有别于一般的电子电路, 必须用电子技术和软件应用技术相结合的方法去分析和解决出现的问题。

收稿日期: 2010-03-19

基金项目: 华南理工大学电气信息及控制国家级教学实验示范中心创新项目(2009-04-01)

作者简介: 张廷锋(1966—), 男, 广东汕头人, 工程师, 硕士, 主要从事电工电子实验教学与研究工作。

1 Multisim 简介

Multisim 是加拿大 Interactive Image Technologies 公司推出的以 Windows 为基础的仿真工具,在美国 NI 公司收购 Multisim 以后,Multisim 的性能得到了极大的完善和提高。Multisim 适用于板级的模拟、数字电路板的设计工作,包含了电路原理图的图形输入、SPICE 仿真、HDL 设计输入和仿真及其他设计能力;Multisim 用户界面友好,操作简单,绘制电路图需要的元件、电路仿真需要的仪表仪器都可以直接从 Multisim 的工作平台上选取,操作过程如同在实验室做实验一样,测量数据、波形和特性曲线如同在真实仪器上看到的一样,运行环境逼真;Multisim 同时提供了多种电路分析方法,具有较强的仿真分析能力;Multisim 是一个完整的设计工具系统,既可以进行原理图输入、电路仿真分析,还可以把原理图数据无缝隙传输到布线工具包(如 Electronics Workbench 的 Ultiboard)进行印刷电路板的设计^[2]。

基于上面的诸多优点,Multisim 仿真软件作为辅助设计手段,被越来越多地应用于学生的电子电路实验中。

2 电子钟的设计

电子钟是一种典型的数字电路系统,涉及组合逻辑电路、时序逻辑电路,时序脉冲产生电路,计数、译码、显示等内容。电子钟的设计作为一个综合性、设计性较强的实验项目,经常被应用在数字电路综合设计性实验或课程设计的选题中。

数字式电子钟实际上是一个对标准 1 Hz 时钟脉冲进行计数的计数电路,秒计数器满 60 后向分计数器进位,分计数器满 60 后向时计数器进位,时计数器按 24 翻 1 规律计数,计数输出经译码器送 LED 显示器。数字式电子秒表由三大部分组成:时钟脉冲(1 Hz)产生电路,时、分、秒计数及显示电路和校正控制电路。其结构框图如图 1 所示^[3]。

数字式电子钟的工作原理:首先由时钟脉冲产生电路产生 1 Hz“秒脉冲”信号,将此信号输入到秒计数器的时钟脉冲输入端 CLK。根据 60 s 为 1 min,60 min 为 1 h,24 h 为 1 d 的进制,分别设定“秒”“分”“时”的计数器,分别为 60 进制,60 进制,24 进制计数器,每累计 60 s 发出一个“分脉冲”信号,每累计 60 min 发出一个“时脉冲”信号。再将各计数器的计数结果输入到译码器,产生驱动数码显示器信号,使数码显示器呈现出“秒”“分”“时”对应的计时数字。当需要对时、分进行校正时,校正控制电路工作,其中一个开关控制“分”时钟的正常计数和校正,另一个开关控制“时”时钟的正常计数和校正^[4]。

3 电子钟在仿真中的问题及解决方法

3.1 电子钟仿真计时误差及解决方法

电子钟的仿真电路如图 2 所示,为简化电路,图中只画出时基脉冲发生电路和秒计数及译码显示电路。图中由“555”时基电路组成多谐振荡器,产生周期为 1 s 的时钟脉冲,同时输入到秒计数器低位 U2 和高位 U3 的时钟脉冲输入端 CLK,其中高位 U3 通过反馈清零法实现 6 进制计数。2 片 10 进制计数器 74LS160 级联,通过同步计数、异步清零方法,组成 60 进制秒计数器,并通过译码显示电路显示秒计时结果。

图 2 电路用实物元件实现时运行正常,计时误差在允许范围内,用 Multisim 仿真分析时,电路虽能计

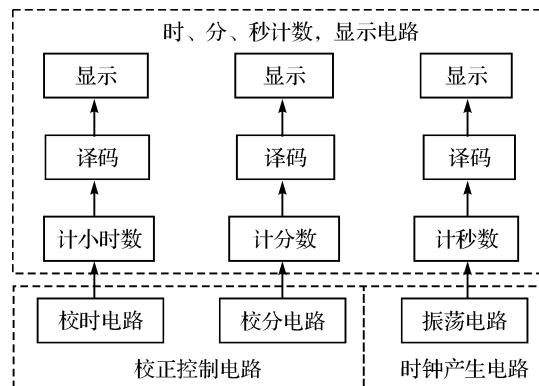


图 1 电子钟结构框图

Fig. 1 Diagram of electronic clock circuit

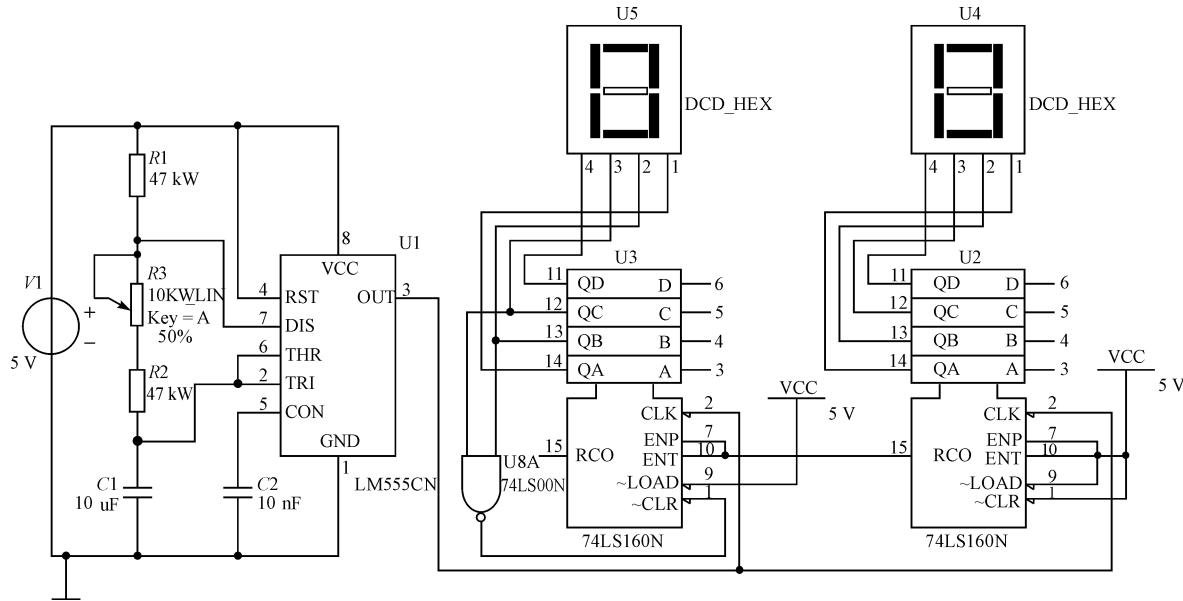


图 2 电子钟仿真电路(秒计时部分)

Fig. 2 Electronic clock simulation circuit (part of second timing)

时,但秒计时器显示的时间比实际时间慢得多,误差达几十倍以上,完全丧失了计时器的功能,文献[3,5]中的仿真电路只能采用 100 Hz 的时钟脉冲代替秒脉冲作为计时单位。出现这种计时错误的原因在于:电子钟的仿真属于瞬态分析,瞬态分析的时间步长与分析时间是相互制约的,时间步长越短,分析时间间隔越短,分析时间越长,分析精度越高。反之亦然,两者应该根据实际情况取得权衡。对于电子钟仿真来说,对分析精度要求不高(只需区分高低电平),而要求分析时间尽可能短,使得电子钟的计时准确。由于仿真程序预置的分析时间步长太短,造成仿真程序运行缓慢。设置分析时间步长的方法如图 3 所示:选择菜单栏的 Simulate/Interactive Simulation Settings ... 项,在 Defaults for Transient Analysis Instruments 选项卡中,选中 Maximum time step(TMAX),右边条形框中的预置值为 10^{-5} s。

表 1 为设置不同的时间步长时,仿真时间步长与仿真计时准确度的关系。表 1 中显示,当按预置的时间步长进行仿真分析时,仿真计时时间和实际时间相差甚远,当时间步长设置为 0.01 s 或 0.1 s 时,仿真计时时间和实际时间相同,仿真分析功能正常。

3.2 Multisim 仿真中竞争冒险现象的消除

电子钟电路按电路逻辑设计,实现“秒”“分”“时”的计数器应分别为 60 进制,60 进制,24 进制计数器,但仿真实现的结果是秒计数器仅出现 0~39 数字循环显示现象,实现的仅是 40 进制计数器^[5]。出现这种现象的原因是:计数器十位上使用输出端 QB 和 QC 实现反馈异步清零条件 $\overline{CLR} = \overline{QB} \cdot \overline{QC}$ 。但是当计数器计数由 3 跳到 4

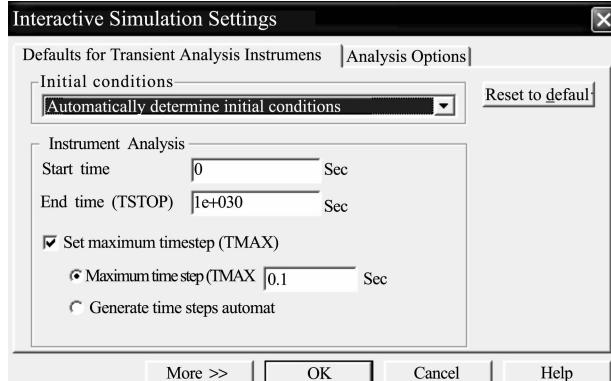


图 3 仿真时间步长设置

Fig. 3 Simulation timestep settings

表 1 仿真时间步长与仿真计时准确度的关系

Table 1 The relationship of simulation timestep and timing precision

分析步长	计时时间	实际时间	s
0.000 01	60	2 160	
0.000 1	60	390	
0.001	60	72	
0.01	60	60	
0.1	60	60	

时, QC 状态由 $0 \rightarrow 1$, QB 状态由 $1 \rightarrow 0$, 观察仿真电路导出的网表文件发现: QC 从接收到时钟脉冲到状态由 $0 \rightarrow 1$, 延迟时间为 24 ns, QB 从接收到时钟脉冲到状态由 $1 \rightarrow 0$, 延迟时间为 27 ns, 即 QC 的状态改变比 QB 快 3 ns, 这时瞬间会产生 QC 已经跳到“1”态, 而 QB 还未来得及跳到“0”态, 此时清零端 CLR 变为“0”态, 计数器立即清零。要改变这种现象, 可在 QC 端加一个“与”门, 增加延时时间, 避免了计数到 4 时, QB 和 QC 瞬态都产生“1”, 其改进电路见图 4, 电路经改进后, 仿真达到预期目的。

4 结语

通过 Multisim 仿真软件对电子时钟电路的仿真分析, 可以缩短设计周期, 节省设计费用, 提高设计质量。但是电路仿真时要想得到预期的结果, 除了要注意电路设计本身的问题之外, 一些涉及仿真软件参数设置等方面的问题也应引起重视。另外, 电路的仿真实验相对于实际电路的搭接、调试, 对于培养学生的动手能力方面还存在一定的差距。概而言之, Multisim 仿真程序是电子电路设计的好帮手, 但它不能完全代替实际电路的设计和调试。

参考文献:

- [1] 吴群英, 黄勤妮, 董克奇. 深化实践教学改革培养学生创新精神和实践能力[J]. 实验技术与管理, 2005, 22(9): 1-3.
- [2] 周凯. EWB 虚拟电子实验室——Multisim 7 电子电路设计应用[M]. 北京: 电子工业出版社, 2005.
- [3] 易灵芝, 王根平, 李卫平, 等. Multisim 在电类课程实验教学中的应用[J]. 计量与测试技术, 2009, 36(5): 1-3.
- [4] 张亚君, 陈龙, 牛小燕. Multisim 在数字电路与逻辑设计实验教学中的应用[J]. 实验技术与管理, 2008, 25(8): 108-110, 114.
- [5] 吴霞, 卢飒. Multisim10 软件应用于级联计数器电路的案例分析[J]. 仪表技术, 2009(7): 68-70.
- [6] 彭文竹. Multisim 在数字电路课程设计中的应用[J]. 阜阳师范学院学报: 自然科学版, 2009, 26(3): 48-51.

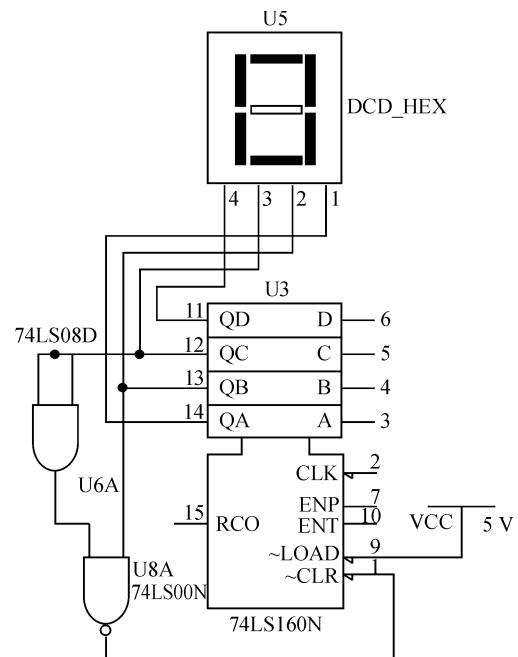


图 4 十位计数电路改进

Fig. 4 Improvement of counter circuit